

PCT/JP03/16787

25.12.03

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

JP03/16787

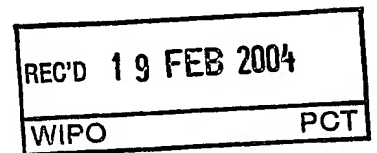
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2003年 1月24日

出 願 番 号  
Application Number: 特願2003-015810  
[ST. 10/C]: [JP2003-015810]

出 願 人  
Applicant(s): ソニー株式会社

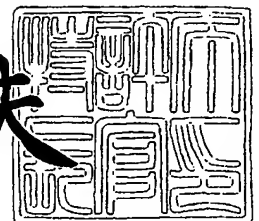


PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2004年 2月 6日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 0390011601

【提出日】 平成15年 1月24日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/18

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 豊澤 昇

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 仲島 義晴

【発明者】

【住所又は居所】 東京都港区芝浦 4 丁目 1 6 番 2 5 号 株式会社ベンチャ  
ーセーフネット内

【氏名】 小山 浩寿

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100092336

【弁理士】

【氏名又は名称】 鈴木晴敏

【電話番号】 0466-54-2640

【手数料の表示】

【予納台帳番号】 010191

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709206

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】 通常消費電力状態と低消費電力状態の切り替えが可能な電子機器のディスプレイ部品として用いられ、表示領域とこれを駆動する周辺の回路部とを絶縁基板上に一体的に集積形成したパネルからなる表示装置であって、

前記回路部は、電子機器本体側の通常消費電力状態と低消費電力状態の切り替えに応じて動作モードと待機モードに切り替え可能であり、

動作モード時、電子機器の本体側から電源電圧の供給を受けて動作し、該表示領域を駆動して所望のディスプレイを行い、

待機モード時、電子機器の本体側から電源電圧の供給を受けている状態のまま、該表示領域の駆動を停止するとともに、回路部を不活性化してパネルの電力消費を抑制する待機制御手段を備えており、

前記待機制御手段は、不活性化の過程で少なくとも該回路部に含まれる抵抗素子に流れる直流成分を遮断する制御シーケンスを実行することを特徴とする表示装置。

【請求項 2】 前記表示領域は、マトリクス状に配置した画素電極とこれに対向するコモン電極と両者の間に保持された電気光学物質とを含み、

前記回路部は、該画素電極側に信号電圧を書き込むドライバと、コモン電極側にコモン電圧を印加するコモンドライバと、信号電圧に対してコモン電圧のレベルを調節するオフセット回路とを含み、

前記待機制御手段は、不活性化の過程で該オフセット回路に含まれる抵抗素子に流れる直流成分を遮断する制御シーケンスを実行することを特徴とする請求項 1 記載の表示装置。

【請求項 3】 前記回路部は、コモン電極側にコモン電圧を印加する該コモンドライバとコモン電圧のレベルを調節する該オフセット回路に加えて、パネルの起動時に該オフセット回路を充電してコモン電圧の印加を速やかに立ち上げるスタート回路を含み、

前記待機制御手段は、不活性化の過程で該スタート回路に含まれる抵抗素子に

流れる直流成分を遮断する制御シーケンスを実行することを特徴とする請求項2記載の表示装置。

【請求項4】 前記表示領域は、マトリクス状に配置した画素を含み、

前記回路部は、電子機器の本体側から送られる画像情報に応じて階調化されたアナログ電圧を該画素に書き込むドライバと、あらかじめ階調に応じた複数のレベルのアナログ電圧を該ドライバに供給するアナログ電圧ジェネレータとを含み、

前記待機制御手段は、不活性化の過程で該アナログ電圧ジェネレータに含まれる電圧分割用の直列抵抗素子に流れる直流成分を遮断する制御シーケンスを実行することを特徴とする請求項1記載の表示装置。

【請求項5】 前記待機制御手段は、不活性化の過程で少なくとも該回路部に供給されるクロックを停止して、回路部内で生じる充放電を抑制する制御シーケンスを実行することを特徴とする請求項1記載の表示装置。

【請求項6】 前記回路部は、電子機器本体から供給される一次の電源電圧をパネルの仕様に応じた二次の電源電圧に変換するDC/DCコンバータを含んでおり、

前記待機制御手段は、不活性化の過程で該DC/DCコンバータに供給されるクロックを停止して、該DC/DCコンバータで生じる充放電を抑制する制御シーケンスを実行することを特徴とする請求項5記載の表示装置。

【請求項7】 前記パネルは、該表示領域及びこれを駆動する周辺の該回路部ともに、共通の絶縁基板上に同一プロセスで形成された薄膜トランジスタで構成されていることを特徴とする請求項1記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は通常消費電力状態と低消費電力状態の切り換えが可能な電子機器のディスプレイ部品として用いられる表示装置に関する。より詳しくは、低消費電力状態下で待機モードに入る表示装置の節電技術に関する。

【0002】

**【従来の技術】**

電子機器のディスプレイ部品として、アクティブマトリクス型液晶パネルなどフラット形状のパネルが多用されている。アクティブマトリクス型液晶パネルは表示領域とこれを駆動する周辺の回路部とが絶縁基板上に一体的に集積形成されており、システムオンチップのディスプレイ（システムディスプレイ）となっている。

**【0003】**

**【特許文献1】** 特開平7-271323号公報

**【0004】**

携帯電話端末やPDAなど小型の電子機器は、通常消費電力状態と低消費電力状態の切り換えが可能なタイプが開発されている。電子機器本体側（セット側）が低消費電力状態になった場合、表示装置側（システムディスプレイ側）では低消費電力状態への対応として、いわゆるパーシャルモード表示を行う技術が知られている。例えば、携帯電話端末に組み込まれた液晶パネルは、低消費電力状態でいわゆる「待ち受け表示」を行う。すなわち、必要最小限の情報のみを表示して（パーシャルモード表示）節電を図る。しかしながら、このパーシャルモードでは表示装置が実質的には動作状態にある為、節電効果はそれほど期待できない。セット側が低消費電力状態になった場合の別の対応として、表示装置側で電源を遮断する準備処理（オフシーケンス）を行った後、表示装置への電源供給をカットする方法が取られる。表示装置側（システムディスプレイ側）の消費電力を抑制することが要求される用途では、この電源供給を遮断する方式が採用されている。しかしながら、この場合セット側からシステムディスプレイ側への電源供給をカットする為、大容量の電源スイッチが必要となる。この為、部品点数増加によるセットサイズの増大やコスト増大といったデメリットが生じる。

**【0005】**

**【発明が解決しようとする課題】**

近年では、電子機器本体側の通常消費電力状態と低消費電力状態の切り換えに応じて、表示装置を動作モードと待機モード（スタンバイモード）に切り換える技術が開発されており、特許文献1に記載がある。スタンバイモードでは、セッ

ト側から電源電圧の供給を受けている状態のまま、システムディスプレイの表示を停止するとともに、システムディスプレイに含まれる周辺回路部を不活性化してパネルの電力消費を抑制する。このスタンバイモードでは、セット側からシステムディスプレイ側への電源供給をアクティブとしたまま、システムディスプレイ側のアクティブな消費電力を抑制する。これにより、電源供給をカットする為の大容量スイッチが不要となり、セットサイズやコストの面でメリットがある。しかしながら、従来のスタンバイモードは表示装置側のアクティブな消費電力を抑制する手段が不十分である為、スタンバイモードで十分な節電効果を得るに至っておらず、これが解決すべき課題となっている。

#### 【0006】

##### 【課題を解決するための手段】

上述した従来の技術の課題に鑑み、本発明は待機モード下で表示装置の節電効果を改善することを目的とする。係る目的を達成するために以下の手段を講じた。即ち、通常消費電力状態と低消費電力状態の切り替えが可能な電子機器のディスプレイ部品として用いられ、表示領域とこれを駆動する周辺の回路部とを絶縁基板上に一体的に集積形成したパネルからなる表示装置であって、前記回路部は、電子機器本体側の通常消費電力状態と低消費電力状態の切り替えに応じて動作モードと待機モードに切り替え可能であり、動作モード時、電子機器の本体側から電源電圧の供給を受けて動作し、該表示領域を駆動して所望のディスプレイを行い、待機モード時、電子機器の本体側から電源電圧の供給を受けている状態のまま、該表示領域の駆動を停止するとともに、回路部を不活性化してパネルの電力消費を抑制する待機制御手段を備えている。前記待機制御手段は、不活性化の過程で少なくとも該回路部に含まれる抵抗素子に流れる直流成分を遮断する制御シーケンスを実行することを特徴とする。

#### 【0007】

具体的には、前記表示領域は、マトリクス状に配置した画素電極とこれに対向するコモン電極と両者の間に保持された電気光学物質とを含み、前記回路部は、該画素電極側に信号電圧を書き込むドライバと、コモン電極側にコモン電圧を印加するコモンドライバと、信号電圧に対してコモン電圧のレベルを調節するオフ

セット回路とを含み、前記待機制御手段は、不活性化の過程で該オフセット回路に含まれる抵抗素子に流れる直流成分を遮断する制御シーケンスを実行する。また、前記回路部は、コモン電極側にコモン電圧を印加する該コモンドライバとコモン電圧のレベルを調節する該オフセット回路に加えて、パネルの起動時に該オフセット回路を充電してコモン電圧の印加を速やかに立ち上げるスタート回路を含み、前記待機制御手段は、不活性化の過程で該スタート回路に含まれる抵抗素子に流れる直流成分を遮断する制御シーケンスを実行する。また、前記表示領域は、マトリクス状に配置した画素を含み、前記回路部は、電子機器の本体側から送られる画像情報に応じて階調化されたアナログ電圧を該画素に書き込むドライバと、あらかじめ階調に応じた複数のレベルのアナログ電圧を該ドライバに供給するアナログ電圧ジェネレータとを含み、前記待機制御手段は、不活性化の過程で該アナログ電圧ジェネレータに含まれる電圧分割用の直列抵抗素子に流れる直流成分を遮断する制御シーケンスを実行する。更に、前記待機制御手段は、不活性化の過程で少なくとも該回路部に供給されるクロックを停止して、回路部内で生じる充放電を抑制する制御シーケンスを実行する。例えば前記回路部は、電子機器本体から供給される一次の電源電圧をパネルの仕様に応じた二次の電源電圧に変換するDC/DCコンバータを含んでおり、前記待機制御手段は、不活性化の過程で該DC/DCコンバータに供給されるクロックを停止して、該DC/DCコンバータで生じる充放電を抑制する制御シーケンスを実行する。好ましくは、前記パネルは、該表示領域及びこれを駆動する周辺の該回路部ともに、共通の絶縁基板上に同一プロセスで形成された薄膜トランジスタで構成されている。

#### 【0008】

本発明によれば、システムディスプレイの周辺に配された回路部の各ブロックに、待機制御手段を分散配置している。この待機制御手段はセット側からの待機命令に応じて所定の制御シーケンスを実行し、システムディスプレイの周辺回路各部を不活性化し、パネルの電力消費を抑制する。この不活性化の過程で、待機制御手段は特に周辺回路各部に含まれる抵抗素子に流れる直流成分を遮断する制御シーケンスを実行し、パネルの電力消費を極限まで抑制可能としている。加えて、待機制御手段は、不活性化の過程でシステムディスプレイの周辺回路各部に



供給するクロックを停止して、回路部内で生じる充放電を抑制し、以って過徒電流や貫通電流を極限まで削減している。この様に待機制御手段はセット側からの待機命令に応じて所定の不活性化制御シーケンスを実行し、以ってシステムディスプレイの周辺回路部に流れる直流電流、過徒電流、貫通電流をシステム全体としてシーケンシャルに抑制するものである。

#### 【0009】

##### 【発明の実施の形態】

以下図面を参照して本発明の実施の形態を詳細に説明する。図1は本発明に係る表示装置の全体構成を示す模式的なブロック図である。図示する様に、本表示装置0は、ガラスなどからなる絶縁基板1の上に集積形成されている。絶縁基板1の中央には表示領域2が形成されており、これを囲む様に周辺の回路部も一体的に形成されている。矩形的絶縁基板1の上辺には接続端子が形成されており、フレキシブルプリントケーブル(FPC)11を介して、電子機器本体側(セット側)と接続する様になっている。FPC11は複数の配線が平面的に配列した単層構造のフラットケーブルとなっている。

#### 【0010】

表示領域2は行状のゲートラインG1～Gmと列状の信号ラインS1～Snが互いに交差配置したマトリクス構成となっている。各ゲートラインGと信号ラインSの交差部には画素が形成されている。本実施形態では、各画素は液晶素子LC、補助容量CS及び薄膜トランジスタTFTで構成されている。液晶素子LCは画素電極とこれに対向するコモン電極(COM)と両者の間に保持された液晶(電気光学物質)とで構成されている。TFTのゲート電極はゲートラインGに接続し、ソース電極は信号ラインSに接続し、ドレイン電極は液晶素子LCの画素電極に接続している。補助容量CSはTFTのドレイン電極と補助容量ラインとの間に接続されている。TFTはゲートラインGから供給される選択パルスで導通し、信号ラインSから供給される信号電圧を対応する液晶素子LCの画素電極に書き込む。補助容量CSは一フレームもしくは一フィールドの間、信号電圧を保持しておく。

#### 【0011】

液晶素子 LC は一般に交流駆動される。すなわち、信号ライン S を介して液晶素子 LC に書き込まれる信号電圧は周期的に極性が反転する。これに合わせて、液晶素子 LC のコモン電極 COM に印加するコモン電圧 VCOM も周期的に極性反転する必要がある。ここで、液晶素子 LC やこれをスイッチング駆動する TFT には、極性に関し非対称性がある。この為、画素電極側とコモン電極側で中心レベルを合わせておくと、極性に関する非対称性が表われて、焼付きなど画品位の劣化が生じる。この対策として、信号電圧に対しコモン電圧を所定電圧分だけオフセットし、極性に関する非対称性を打ち消すことが行われている。尚、補助容量 CS も、液晶素子 LC の交流駆動に合わせて、交流動作させる必要がある。この為、各補助容量 CS に共通接続された補助容量ラインに、同じく所定の周期で極性反転する電圧を印加する必要がある。

#### 【0012】

上述した表示領域 2 を囲む上下左右四辺に周辺の回路部が集積形成されている。本実施形態の場合、この周辺回路部は、垂直ドライバ 3、水平ドライバ 4、COM ドライバ 5、CS ドライバ 6、DC/DC コンバータ 7、DC/DC コンバータ 7a、レベルシフタ (L/S) を含むインターフェース 8、タイミングジェネレータ 9、アナログ電圧ジェネレータ 10 などを含んでいる。但し本発明はこの構成に限られるものではなく、表示装置 (システムディスプレイ) 0 の仕様に応じて適宜必要な回路が追加される一方、不必要な回路は削除される。例えば、場合により信号電圧とは別に完全な白表示や完全な黒表示に使われる信号電圧レベルを生成するドライバなどが組み込まれることもある。

#### 【0013】

垂直ドライバ 3 は各ゲートライン G1 ~ Gm に接続され、線順次で選択パルスを供給する。水平ドライバ 4 は上下一対形成されており、各信号ライン S1 ~ Sn の両端に接続して、両側から同時に所定の信号電圧を供給している。尚この信号電圧は FPC11 を介してセット側から送られてくる表示データ (画像情報) に応じたものとなっている。

#### 【0014】

コモンドライバ (COM ドライバ) 5 は、周期的に極性反転するコモン電圧 V

COMを各液晶素子LCに共通するコモン電極に印加する。COMドライバ5にはオフセット回路やスタート回路（COMスタータ）が付属している。オフセット回路はコモンドライバ5で生成されるコモン電圧のオフセットレベルを調節する。スタート回路（COMスタータ）はパネルの起動時にオフセット回路を充電してコモン電圧VCOMの印加を速やかに立ち上げる。CSドライバ6は周期的に極性反転する電圧を、各補助容量CSに共通する補助容量ラインに印加する。

#### 【0015】

DC/DCコンバータ7は、電子機器本体からFPC11を介して供給される一次の電源電圧を、パネル（表示装置0）の仕様に応じた二次の電源電圧に変換する。特に、DC/DCコンバータ7は正側の電源電圧VDDの変換に用いられる。これに対し、DC/DCコンバータ7aは負側の電源電圧VSSの変換に用いられる。

#### 【0016】

L/Sを含むインターフェース8は、FPC11を介してセット側から供給されたクロック信号、同期信号、画像信号などの制御信号を受け入れる。レベルシフタL/Sは、セット側から送られてきた制御信号（外部制御信号）をレベルシフトして、表示装置内部の回路動作仕様に適合した制御信号（内部制御信号）を生成する。尚、本明細書では外部制御信号と内部制御信号を区別する必要がある場合、各制御信号の種類を表わす記号の後ろに外部制御信号の場合数字（3）を付し、内部制御信号の場合数字（5）を付することがある。タイミングジェネレータ9は、L/Sを含むインターフェース8から送られてきたクロック信号や同期信号を処理して、回路各部のタイミング制御に必要なクロック信号などを生成する。アナログ電圧ジェネレータ10は、あらかじめ階調に応じた複数のレベルのアナログ電圧を、水平ドライバ4に供給する。水平ドライバ4は、電子機器の本体側から送られる画像情報に応じて階調化されたアナログの信号電圧を液晶素子LCに書き込む。

#### 【0017】

図2は、表示装置側に対するセット側の制御シーケンスを示すタイミングチャートであり、（A）はオンシーケンスを表わし、（B）はオフシーケンスを表わ

している。但し、待機モード（スタンバイモード）に関するシーケンス制御がない通常の場合を表わしている。ディスプレイ側に対してセット側からマスタクロックMCK、水平同期信号HSYNC、垂直同期信号VSYNC、表示データDATA、リセット信号RST、表示許可信号PCI、電源電圧VDDが所定のシーケンスに従って入力される。セット側からディスプレイ側を立ち上げるオンシーケンス（A）では、最初にVDDが立ち上がり次いでMCK、HSYNC、VSYNCがアクティブになる。時間 $t_{on1}$ 経過後、リセット信号RSTがローからハイに切り換わり、ディスプレイの回路部が初期化される。この後時間 $t_{on2}$ 経過後、DATAがローからアクティブに切り換わるとともに、表示許可信号PCIがローからハイに切り換わる。これにより、ディスプレイの表示領域に画像が映し出される。

#### 【0018】

セット側からディスプレイを立ち下げるオフシーケンス（B）では、まずDATAがアクティブからローに切り換わるとともに表示許可信号PCIがハイからローに切り換わる。時間 $t_{off1}$ 経過後、リセット信号RSTがハイからローに切り換わり、ディスプレイの回路の内部状態をリセットする。時間 $t_{off2}$ 経過後、MCK、HSYNC、VSYNCの供給を遮断し最後にVDDを立ち下げる。これにより、VDDは接地電位あるいは浮遊電位となる。しかし、この場合セット側にはVDDを切断する為の大容量スイッチが必要となり、部品点数が増加することになる。

#### 【0019】

図3は、待機モード（スタンバイモード）を採用したオンシーケンス及びオフシーケンスを示すタイミングチャートである。理解を容易にする為、図2に示した通常のオンシーケンス及びオフシーケンスと対応する部分には対応する参照符号を用いてある。セット側は通常消費電力状態と低消費電力状態の切り換えが可能である。これに合わせてディスプレイ側を動作モードと待機モード（スタンバイモード）に切り換え制御する必要がある、この為セット側はディスプレイ側に対してスタンバイ信号STBを入力している。

#### 【0020】

オンシーケンス (A) では、まずスタンバイ信号 S T B がローからハイに立ち上がり、ディスプレイは待機モードから動作モードに復帰する。S T B の立ち上がりに合わせて、M C K、H S Y N C、V S Y N C がアクティブになる。但し、V D D は S T B に関わらず常に供給されている。時間  $t_{on1}$  経過後 R S T がローからハイに切り換わり、ディスプレイの回路状態が初期化される。時間  $t_{on2}$  経過後 D A T A がアクティブになるとともに P C I がハイに切り換わり、画像が表示領域に映し出される。

#### 【0021】

オフシーケンス (B) ではまず D A T A 及び P C I が非アクティブとなる。  $t_{off1}$  経過後 R S T がハイからローになりディスプレイの内部回路がリセットされる。  $t_{off2}$  経過後 S T B がハイからローに切り換わるとともに、M C K、H S Y N C、V S Y N C が非アクティブになる。S T B がハイからローになることで、ディスプレイ側は動作モードから待機モードに移行する。一方 V D D は待機モードに移行したにも関わらず、常に電源電圧に維持されている。

#### 【0022】

この様にスタンバイモードを採用したシステムでは、V D D をアクティブとしたままディスプレイ側の駆動回路システムを S T B に応じて非アクティブとすることで、大容量スイッチの必要性をなくしている。尚スタンバイモード制御に用いる信号 S T B は、図示の様にセット側から独立して入力される制御信号の場合もあるが、セット側から供給される他の外部信号を、ディスプレイ側で内部的に論理処理して生成することもできる。オフシーケンスでは R S T でディスプレイの内部回路を論理リセットしてから、S T B が立ち下がることになる。その際、セット側から供給されるマスタクロック M C K や同期信号 H S Y N C、V S Y N C などはアクティブな状態から一定電位に固定される。図示の例ではローレベル (G N D レベル) に固定されているが、場合によっては V D D レベルに固定してもよい。

#### 【0023】

スタンバイ信号 S T B の立ち下げに応じて待機モードに移行した表示装置は、電子機器の本体側から電源電圧 V D D の供給を受けている状態のまま、表示領域

の駆動を停止するとともに、回路部を不活性化してパネルの電力消費を抑制する待機制御手段を備えている。この待機制御手段は回路部の各ブロックに分散配置されており、各回路ブロック毎にSTBの立ち下げに応答して不活性化の為の制御シーケンスを実行する。以下、各回路ブロック毎に不活性化の為の制御シーケンスを具体的に説明する。

#### 【0024】

図4は、スタンバイモードに適応したDC/DCコンバータ7の具体的な構成例を示す回路図である。図示する様に、DC/DCコンバータ7は、アンド素子(AND)701、遅延素子(Delay)702、多段バッファ703、外付けのフライングキャパシタ704、クランピング用のトランジスタ705-707、出力トランジスタ708、内部コンデンサ709、レベルシフタ(L/S)710、アンド素子711、バッファ712、外付けのバイパスコンデンサ720、終端抵抗721などで構成されている。DC/DCコンバータ7は、絶縁基板上に搭載される内蔵回路と、接続端子を介して内蔵回路に接続される外付け部品とで構成されている。図示の例では、フライングキャパシタ704とバイパスコンデンサ720が外付け部品であり、残る回路要素は全て絶縁基板上に内蔵されている。内蔵回路部は、表示領域に形成されているスイッチング用の薄膜トランジスタTFTと同一のプロセスで形成されるTFTなどで構成されている。

#### 【0025】

DC/DCコンバータ7は、セット側から供給される一次の電源電圧VDD1を、パネルの仕様に応じた二次の電源電圧VDD2に変換する。この為、ポンピング用のクロック信号(ポンピングパルス)がアンド素子701及び位相調整用の遅延素子702を介して、多段バッファ703に供給される。多段バッファ703を介してフライングキャパシタ704の一次側がポンピングパルスによってVDD1までポンピングされる。フライングキャパシタ704の二次側にはTFT705, 706, 707からなるクランプ回路が接続されており、フライングキャパシタ704の出力電圧をVDD2までクランピングする。本実施例では、 $VDD2 = 2 \times VDD1$ までクランピングしている。出力トランジスタ708はVDD2までクランプされた矩形波の波高部を取り出して、直流の二次電源電圧

VDD2を出力する。その際、外付けのバイパスコンデンサ（デカップリングコンデンサ）720は、二次電源電圧VDD2に含まれるリップルノイズを除去して平滑化している。尚、遅延素子702を通過したクロック信号は内部コンデンサ709を介してクランプ用トランジスタ705、706のドレインに印加されるとともに、出力トランジスタ708のゲートに印加されている。又アンド素子701を通過したクロック信号はレベルシフタ710、アンド素子711及びバッファ712によりクランピング用パルスCLPに整形された上で、トランジスタ705、706のゲートに印加されている。又必要に応じ制御信号がアンド素子711を介して入力され、DC/DCコンバータ7をリセットする様になっている。この様に、DC/DCコンバータ7は、ポンピングパルスで一次の電源電圧VDD1にポンピングされるフライングキャパシタ704と、ポンピングされたフライングキャパシタ704をクランピングして二次の電源電圧VDD2を取り出すクランプ回路（705-708）と、二次の電源電圧VDDに含まれるノイズを除去するバイパスコンデンサ720とで基本的に構成されている。

#### 【0026】

DC/DCコンバータ7はスタンバイモードを実現する為、待機制御手段としてアンド素子701を用いており、STB信号を受け入れる様になっている。STB信号がハイからローに切り換わって待機モードへの移行が指示されると、アンド素子701が閉じてクロック信号（ポンピングパルス）の入力が遮断される。ポンピングパルスを停止してフライングキャパシタ704への充放電を停止し、以って消費電力を削減している。尚、スタンバイモードに移行した場合、DC/DCコンバータ7の出力端子は終端抵抗721によってVDD1又はGNDなどの所定電位に固定される。これにより、システムディスプレイ内の電源ラインが浮遊状態になることを防いでいる。図示の例では終端抵抗721は内蔵となっているが、外付部品としてもよい。

#### 【0027】

図5はDC/DCコンバータ7aの実施例を示す回路図である。理解を容易にする為、図4に示したDC/DCコンバータ7と対応する部分には対応する参照番号を付してある。図4のDC/DCコンバータ7は正側の一次電源電圧VDD

1 を二倍の二次電源電圧  $V_{DD2}$  に変換しているのに対し、本 DC/DC コンバータ 7a は負側の電源電圧  $V_{SS1}$  を絶対値で二倍の負側二次電源電圧  $V_{SS2}$  に変換している。

#### 【0028】

DC/DC コンバータ 7a は待機制御手段として、レベルシフタ 730 を介してアンド素子 701 に STB 信号を入力している。STB 信号がハイからローに立ち下がって待機モードへの移行を指示すると、アンド素子 701 が閉じてクロック信号（ポンピングパルス）を遮断し、以ってフライングキャパシタ 704 への充放電を停止し、消費電力を削減する。尚、DC/DC コンバータ 7a の出力端子は終端抵抗 721 により、GND 又は  $V_{DD1}$  の一定電位に固定される。

#### 【0029】

図 6 は、表示装置の入力インターフェースに含まれるレベルシフタ 8 の構成例を示すブロック図である。図示する様にレベルシフタ 8 はレベルシフト用の増幅器 81 とバッファ用の増幅器 82 の直列接続となっている。動作状態で、外部からの入力信号 IN はレベルシフトされた上で、ディスプレイの内部仕様に適合した出力信号 OUT に変換される。待機モードでは、前述した様に DC/DC コンバータの出力が GND 又は  $V_{DD1}$  に固定されている。従って、レベルシフタ 8 の各増幅器 81, 82 の電源ラインも GND 又は  $V_{DD1}$  に固定されている。又、待機モードでは入力信号 IN が GND レベル又は  $V_{DD1}$  レベルに固定状態となっている為、内部的な充放電電流は流れない。

#### 【0030】

図 7 はタイミングジェネレータ 9 の構成例を示すブロック図である。図示する様に、タイミングジェネレータ 9 は種々の入力信号を処理してシステムディスプレイ内部のタイミング制御に必要な出力信号を生成している。入力信号には PCI、STB、RST、VD、MCK、HD などが含まれる。VD は外部 VSYNC に対応する内部信号である。又 HD は外部 HSYNC に対応する内部信号である。タイミングジェネレータ 9 は水平駆動用タイミングジェネレータ (TG for H) 91 と垂直駆動用タイミングジェネレータ (TG for V) 92 とに分かれている。水平駆動用タイミングジェネレータ 91 は前述した入力信号を処理し



、主として水平ドライバ4のタイミング制御に必要な出力信号等を生成している。これには、水平クロック信号HCKや水平スタート信号HSTが含まれる。又垂直クロック信号VCKも出力している。一方垂直駆動用タイミングジェネレータ92は主として垂直ドライバ3の動作制御に必要なタイミング信号等を出力している。これには、垂直スタートパルスVSTやフレーム周期を規定するフレーム信号FRPが含まれる。

#### 【0031】

前述した様にスタンバイモードでは、DC/DCコンバータの出力はGNDレベル又はVDD1レベルとなっている。従って、タイミングジェネレータ9の電源ラインもGNDレベル又はVDD1レベルに固定されている。又種々の入力信号もGNDレベル又はVDD1レベルの固定入力状態となっている。従って、タイミングジェネレータ9は動作せず、充放電電流は流れない。

#### 【0032】

図8は垂直ドライバ3の実施例を示す回路図である。図示する様に垂直ドライバ3は複数のユニット301-380を多段接続したシフトレジスタ構成となっている。本例は80個のユニットを多段接続して、一段当たり2本、合計で160本のゲートライン(Gate1からGate160)を順次駆動している。具体的には、垂直ドライバ3は垂直クロックVCKに同期して垂直スタートパルスVSTを順次転送することで、各ゲートラインに選択パルスを出力している。

#### 【0033】

待機状態では、タイミングジェネレータが動作していない。従って、垂直ドライバ3に入力される制御信号はGNDレベル又はVDD1レベルと固定入力状態となっている。従って垂直ドライバ3は動作せず、ゲートラインへの充放電電流は流れない為消費電力が削減される。尚、図示しないが水平ドライバ4も同様に動作しない為、信号ラインへの充放電電流は流れず、消費電力が削減される。

#### 【0034】

図9はアナログ電圧ジェネレータ10の実施例を示す回路図である。図示する様にアナログ電圧ジェネレータ10は各種のゲート素子101~107と、一對の切換回路110, 111と、ラダー抵抗115とで構成されている。ラダー抵

抗 115 は電源電圧を抵抗分割して複数レベルの出力アナログ電位  $V_1 \sim V_{30}$  を生成している。例えば、表示データが 5 ビット構成で 32 階調に分かれている時、アナログ電圧ジェネレータ 10 は両端の 2 レベルに加え中間の 30 レベルに対応したアナログ電位  $V_1 \sim V_{30}$  を出力する。前述した様に、液晶素子は交流駆動される。従って、アナログ電圧ジェネレータ 10 から出力されるアナログ電位も所定周期で極性を反転させる必要がある。この為にラダー抵抗 115 の両端に一对の切換回路 110 及び 111 が接続されている。これらの切換回路 110 及び 111 はゲート素子 101 ~ 107 を介して入力信号 FRP により制御される。スタンバイモードでは入力信号として STB が印加される。

#### 【0035】

アナログ電圧ジェネレータ 10 の論理回路部分の電源電位は常に  $V_{DD1}$  に固定される。待機モードにおいて入力信号 FRP 及び STB は GND レベル固定入力とされる。通常の動作モードでは FRP はフレーム周期でハイレベルとローレベルが反転している。通常動作モードでは FRP に応答して切換回路 110, 111 内のスイッチ a1 と b2 又はスイッチ a2 と b1 が同時にオンとなることで、 $V_{DD1}$  電位をラダー抵抗 115 が分割し、アナログ出力電圧  $V_1 \sim V_{30}$  を生成する。待機モードでは、切換回路 110, 111 内でスイッチ a1 と b1 (又はスイッチ a2 と b2) が同時にオンとなる。この結果直列ラダー抵抗 115 の両端電位が同一となり、直流電流が流れないので消費電力を削減可能である。

#### 【0036】

図 10 は CS ドライバの実施例を示す回路図である。CS ドライバ 6 はインバータ 601、バッファ 602、バッファ 603、一对のスイッチを含む切換回路 604 で構成されている。動作モード下では入力信号 FRP に応答して切換回路 604 に含まれる一对のスイッチが交互にオンし、フレーム周期で極性が反転する出力信号を補助容量ライン CS に供給する。待機モード時には、入力信号 FRP が GND レベルに固定される。この結果 CS ドライバ 6 の出力端子は固定となり、補助容量ライン CS への充放電電流が流れなくなり、消費電力が削減される。

#### 【0037】

図11はCOMドライバ5の実施例を示す回路図である。COMドライバ5は、インバータ501、アンド素子502、バッファ503、アンド素子504、バッファ505、切換回路506で構成されている。前述のCSドライバ6と同様に、動作モード下でCOMドライバ5は入力信号FRPに応答してフレーム周期で極性が反転する出力信号VCOMOをコモン電極に供給する。尚、本実施例のCOMドライバ5は内部リセット信号RST5に応答して論理リセットが掛かる様になっている。

#### 【0038】

待機モード時にはCOMドライバ5の電源電位は前述したDC/DCコンバータの停止によりGND又はVDD1レベルとなっている。又タイミングジェネレータの停止により、入力信号FRPもGNDレベル又はVDD1レベルに固定入力状態となっている。この結果出力信号VCOMOは固定電位となり、コモン電極への充放電電流が流れなくなり、消費電力を削減できる。

#### 【0039】

最後に図12は、COMドライバ5に付随するオフセット回路51及びスタート回路52の具体的な構成例を示す回路図である。前述した様に、コモンドライバ5はコモン電極にコモン電圧VCOMを印加する。オフセット回路51は、信号電圧に対してコモン電圧のレベルを相対的に調節する為所定のオフセット電圧 $\Delta V$ を生成するカップリングコンデンサC1を備えている。スタート回路52は電源電圧VDDの立ち上げ時、オフセット回路51のカップリングコンデンサC1をオフセット電圧 $\Delta V$ までプリチャージするとともに、電源電圧VDDの立ち下げ時カップリングコンデンサC1をディスチャージする。図示する様にCOMドライバ5、オフセット回路51及びスタート回路52は、カップリングコンデンサC1及び可変抵抗R3を除いて共通の絶縁基板1上に搭載されている。

#### 【0040】

オフセット回路51は前述したカップリングコンデンサC1の他にトランジスタスイッチSW4と電圧レベル調整用の可変抵抗R3を含んでいる。抵抗R3はカップリングコンデンサC1と同様に外付け部品である。トランジスタスイッチSW4は絶縁基板1に形成されている。絶縁基板1外のカップリングコンデンサ

C1から入力されたオフセット処理済みのコモン電圧VCOMIは、システムディスプレイ内部のコモン電極につながるCOMパッド530に内部配線で接続されている。

#### 【0041】

スタート回路52は、スタンバイ信号STBが入力されるレベルシフタ511、内部リセット信号RST5が入力されるインバータ512、外部リセット信号RST3が入力されるインバータ513、ナンド素子NAND514、インバータ515、バッファ(BUF)516、バッファ517、レベルシフタ520などの論理回路を含んでいる。更に薄膜トランジスタで構成されるスイッチSW1, SW2, SW3, SW5を含んでいる。加えて正側の電源電圧VDDと負側の電源電圧VSSとの間に直列接続された一対の抵抗R1, R2を含んでいる。抵抗R1とR2の接続ポイントをノードAで表わしてある。

#### 【0042】

引続き図12を参照して、スタート回路52のオンシーケンス及びオフシーケンスを説明する。まず待機モードから動作モードに復帰するオンシーケンスでは、第一段階としてSTB信号がローからハイに立ち上がる。これによりスイッチSW1, SW2, SW3, SW4が導通状態となる。直列抵抗R1, R2によって、電源電位VDDが抵抗分割され、ノードAにおいては所望の中間電位となる。この中間電位は必要とされるオフセット電位 $\Delta V$ に等しい。SW3及びSW4が導通状態となっているので、ノードVCOMOもノードAと同電位になり、カップリングコンデンサC1がプリチャージされる。直列抵抗R1, R2の比は、ノードAとノードVCOMOの電位差が $\Delta V$ となる様に設定されている。この後第二段階としてリセット信号RST3, RST5が立ち上がり、COMドライバ5がアクティブとなる。同時に、スイッチSW1, SW2, SW3, SW4が非導通状態となる。一方スイッチSW5が導通状態となり、ノードVCOMPWRがVDDとなり、可変抵抗R3に電流が流れる。カップリングコンデンサC1には最初の第一段階で十分に電荷が充電されている為、COMドライバ5の出力がカップリングされ、 $\Delta V$ だけDCシフトされた電位がノードVCOMIに出力される。可変抵抗R3は、VCOMIの電位がちょうど $\Delta V$ だけシフトする様に設

定されている。この後第三段階として表示開始信号が立ち上がり、画像が表示エリアに映し出される。

#### 【0043】

次に動作モードから待機モードに移行するオフシーケンスを説明する。最初に第一段階としてセット側からの表示命令PCIが立ち下がり、表示領域から画像が消される。続いて第二段階としてリセット信号RST3, RST5が立ち下がる。これによりスイッチSW1, SW2, SW3, SW4が導通状態となる。逆にSW5が非導通状態になる。これにより外付けの可変抵抗R3には電流が流れなくなり、所望の節電効果が得られる。同時に絶縁基板1内のCOMドライバ5が非アクティブとなる為、節電効果が得られる。スイッチSW1, SW2が導通することで、直列抵抗R1, R2により、電源電位VDDがノードAにおいて所望の中間電位になる。この時SW4も導通状態になっているので、ノードVCOMIはGNDレベルとなる。これにより、カップリングコンデンサC1がディスチャージされる。最後に第三段階としてSTB信号が立ち下がり、スイッチSW1, SW2, SW3, SW4が非導通状態となる。これにより直列抵抗R1, R2が正側電源ラインVDD及び負側電源ラインVSSから切り離され、不要な電流が流れなくなる。従って所望の節電効果が得られる。

#### 【0044】

##### 【発明の効果】

以上説明した様に、本発明によれば、待機モード時セット側から電源電圧の供給を受けている状態のままディスプレイを停止するとともに、パネル内回路部を不活性化してパネルの電力消費を抑制している。これにより、従来のパーシャルモード機能と比較して大幅に消費電力を削減できる。又セット側で電源供給を遮断するスイッチを設ける必要がなくなり、部品点数の削減によるセットの小型化と低コスト化が実現できる。特に本発明では不活性化の過程で回路部に含まれる抵抗素子に流れる直流成分を遮断する制御シーケンスを実行している。更に不活性化の過程で回路部に供給されるクロックを停止して回路部内で生じる充放電を抑制する制御シーケンスを実行している。この様に系統的にスタンバイ移行シーケンスを実行することで、従来に比べ大幅な節電効果を期待できる。

**【図面の簡単な説明】****【図 1】**

本発明に係る表示装置の全体構成を示すブロック図である。

**【図 2】**

表示装置のオンシーケンス及びオフシーケンスを示すタイミングチャートである。

**【図 3】**

待機モードを備えた表示装置のオンシーケンス及びオフシーケンスを示すタイミングチャートである。

**【図 4】**

表示装置に含まれる DC/DC コンバータの実施例を示す回路図である。

**【図 5】**

表示装置に含まれる DC/DC コンバータの実施例を示す回路図である。

**【図 6】**

表示装置に含まれるレベルシフタの実施例を示すブロック図である。

**【図 7】**

表示装置に含まれるタイミングジェネレータの実施例を示すブロック図である。

**【図 8】**

表示装置に含まれる垂直ドライバの実施例を示す回路図である。

**【図 9】**

表示装置に含まれるアナログ電圧ジェネレータの実施例を示す回路図である。

**【図 10】**

表示装置に含まれる CS ドライバの実施例を示す回路図である。

**【図 11】**

表示装置に含まれるコモンドライバの実施例を示す回路図である。

**【図 12】**

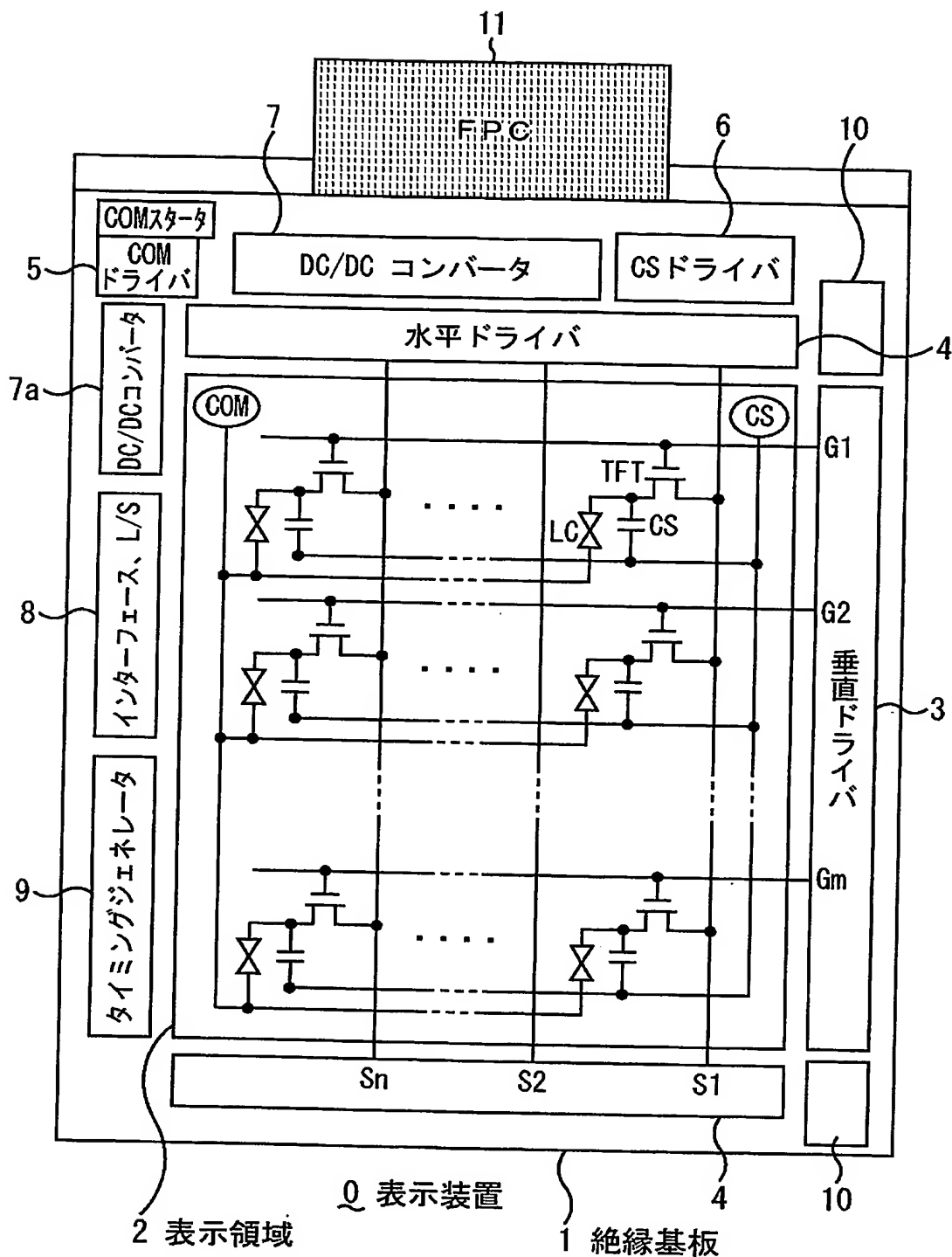
表示装置に含まれるコモンドライバ用のオフセット回路及びスタート回路を示す回路図である。

**【符号の説明】**

0・・・表示装置、1・・・絶縁基板、2・・・表示領域、3・・・垂直ドライバ、4・・・水平ドライバ、5・・・COMドライバ、6・・・CSドライバ、7・・・DC/DCコンバータ、8・・・レベルシフタを含むインターフェース、9・・・タイミングジェネレータ、10・・・アナログ電圧ジェネレータ、11・・・FPC

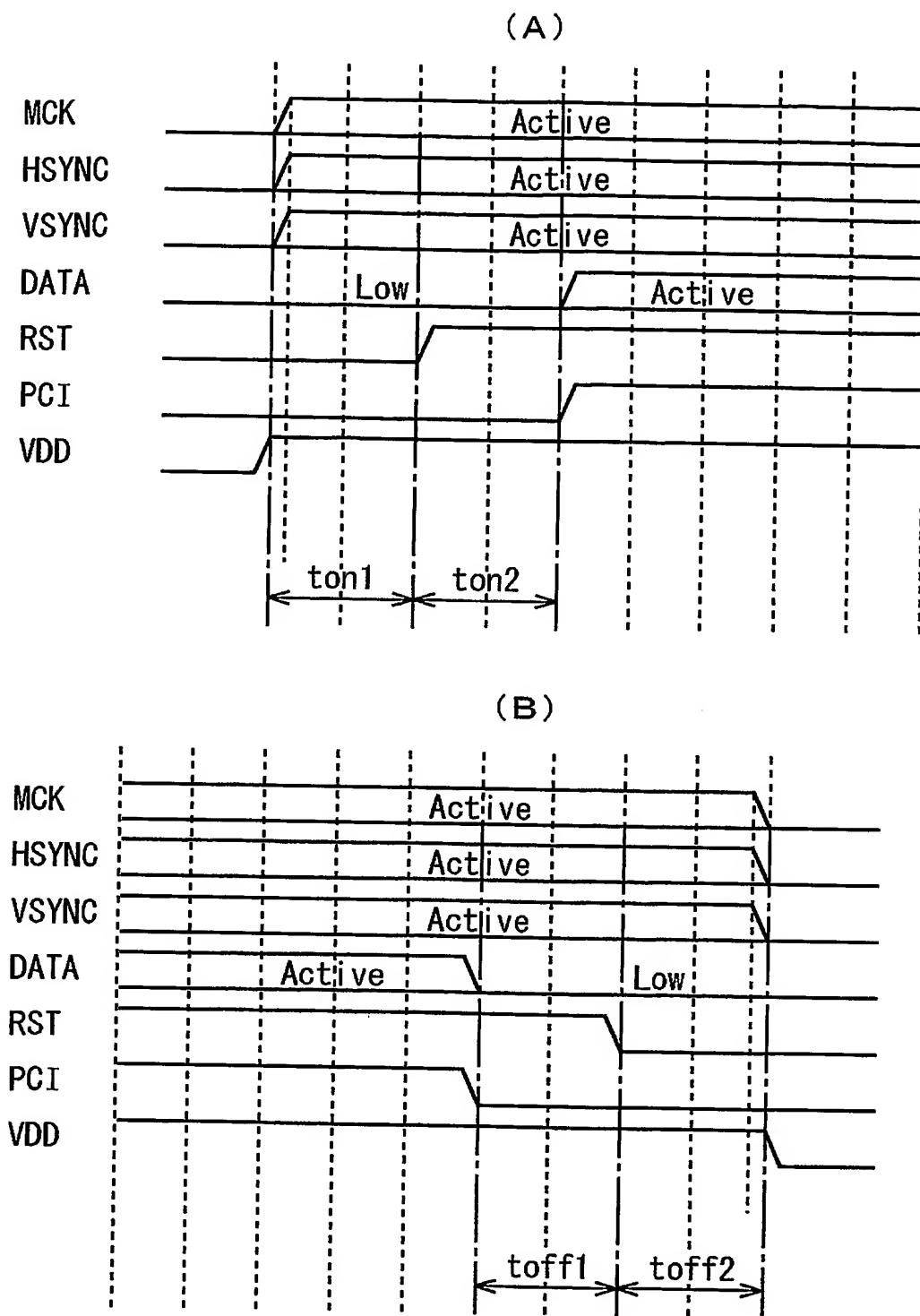
【書類名】 図面

【図 1】

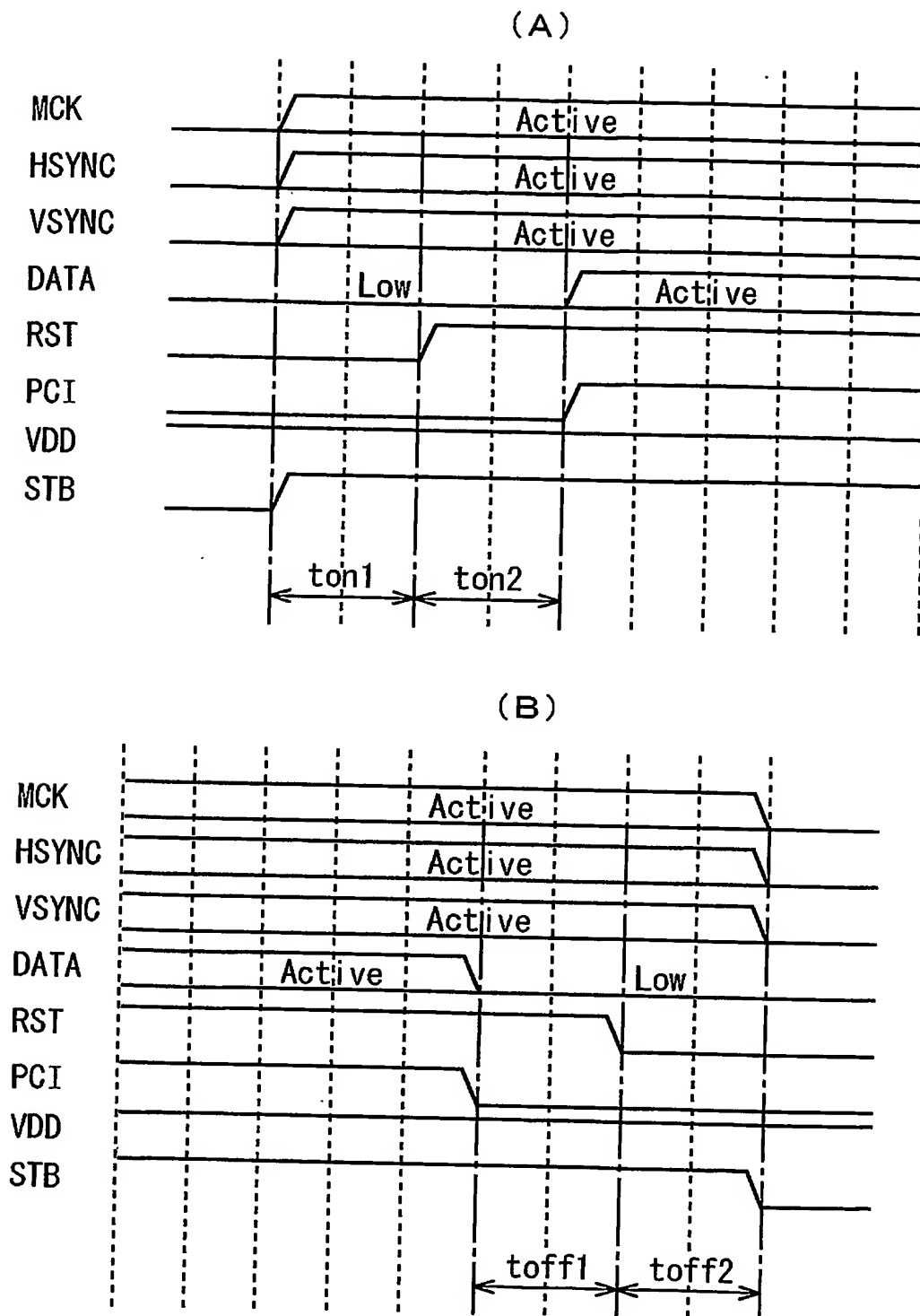




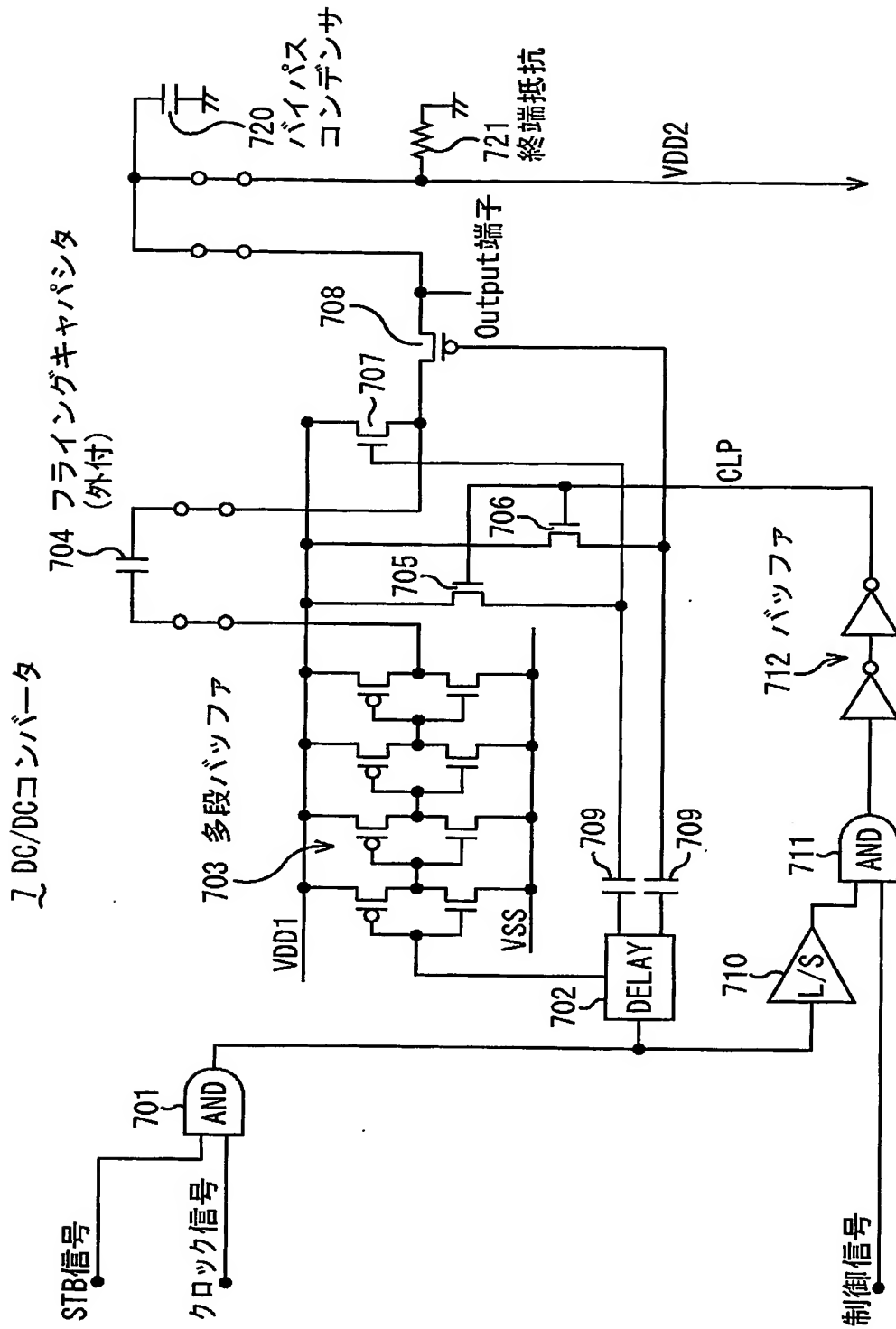
【図 2】



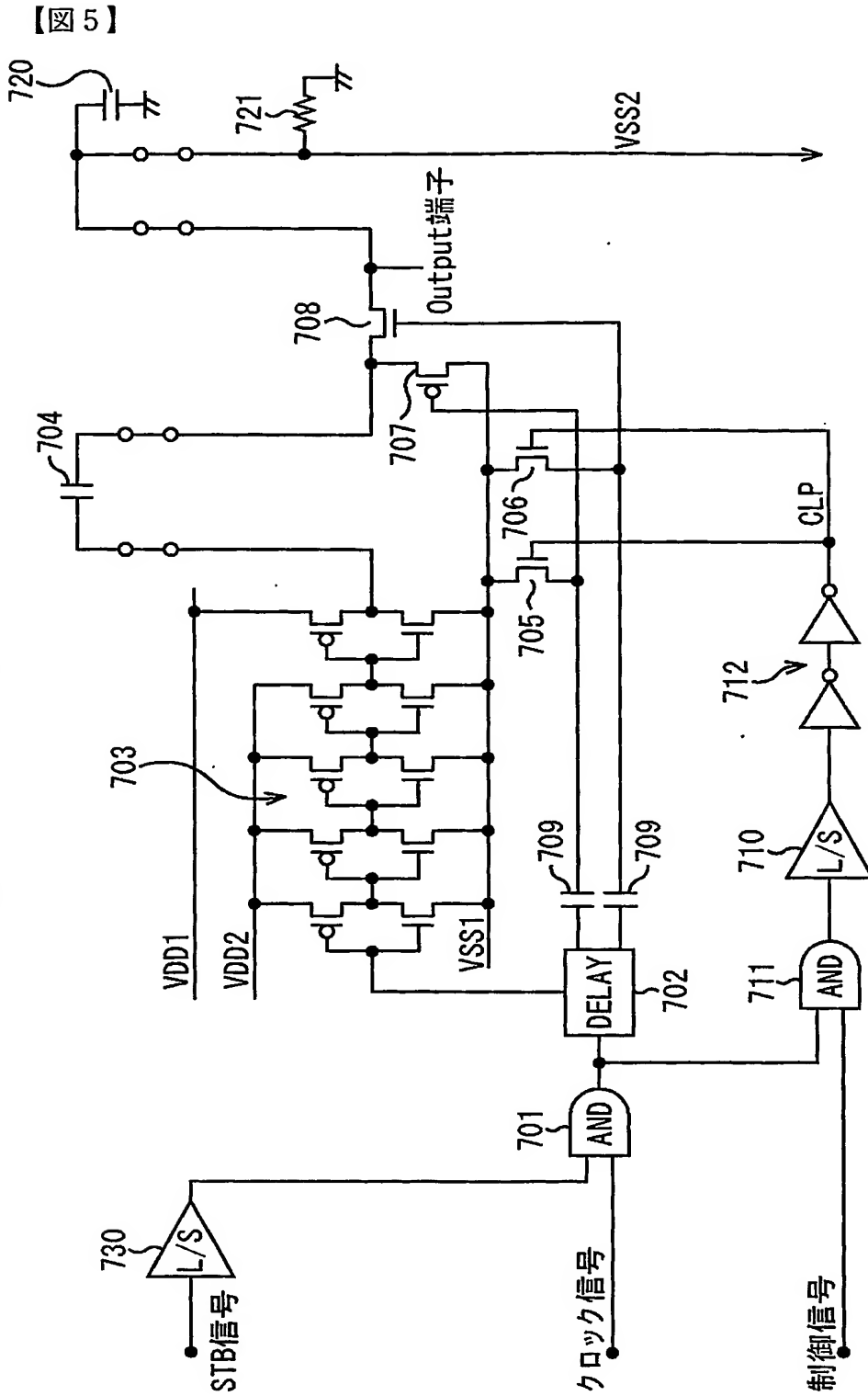
【図 3】



【図 4】

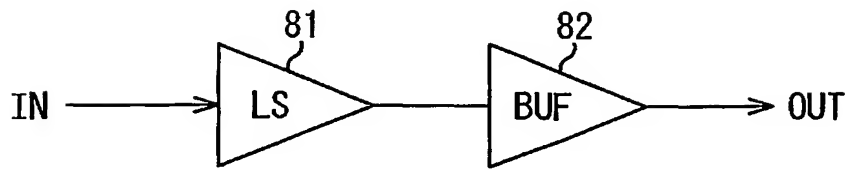


7a DC/DCコンバータ



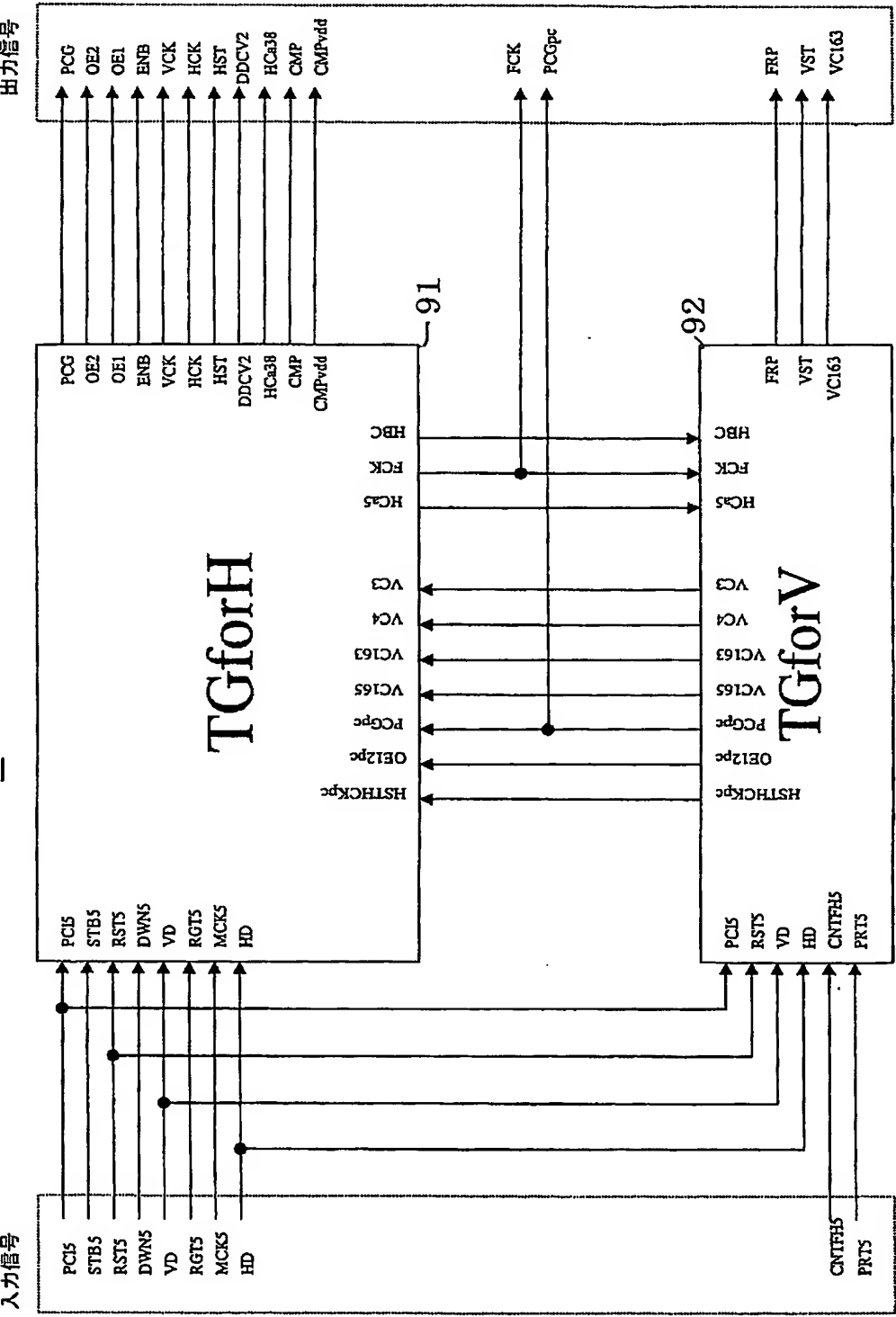
【図 6】

8 レベルシフタ

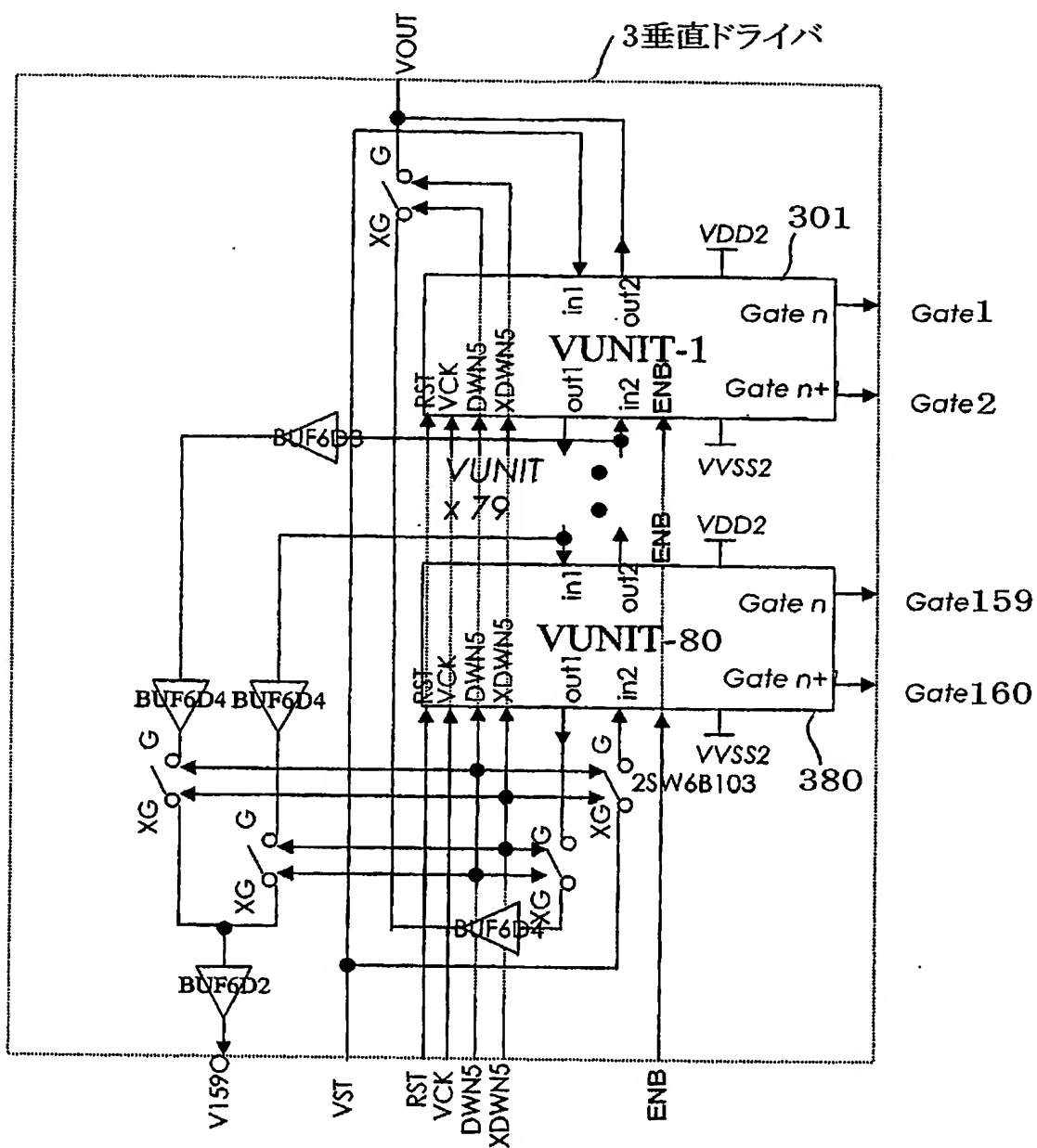


【図7】

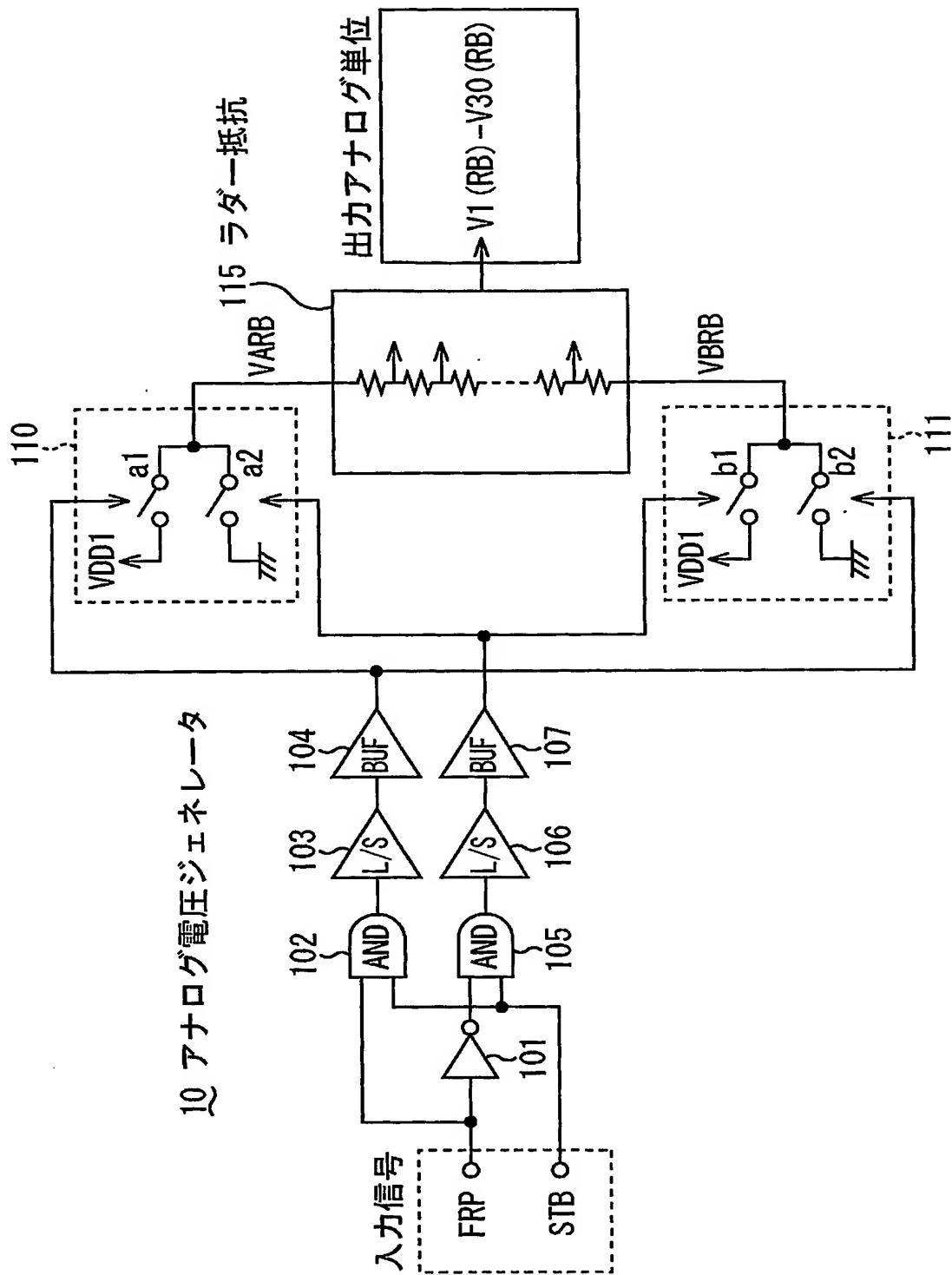
9 タイミングジェネレータ



【図 8】



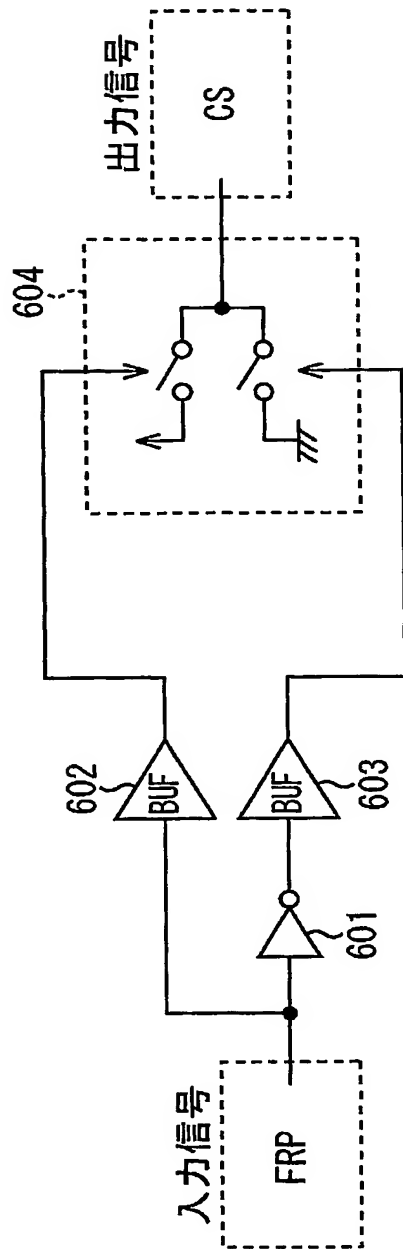
【図 9】





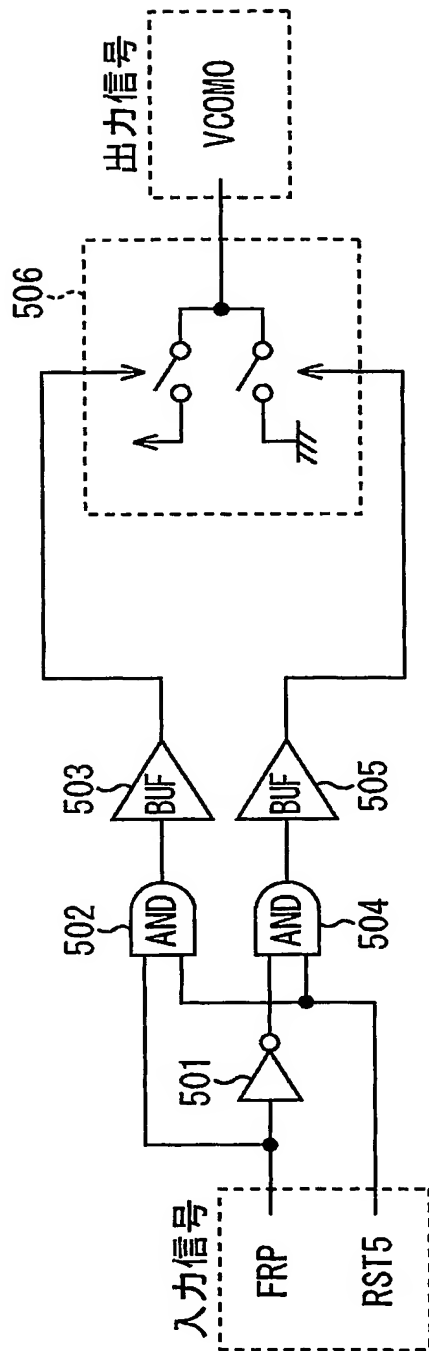
【図 10】

CSドライバ

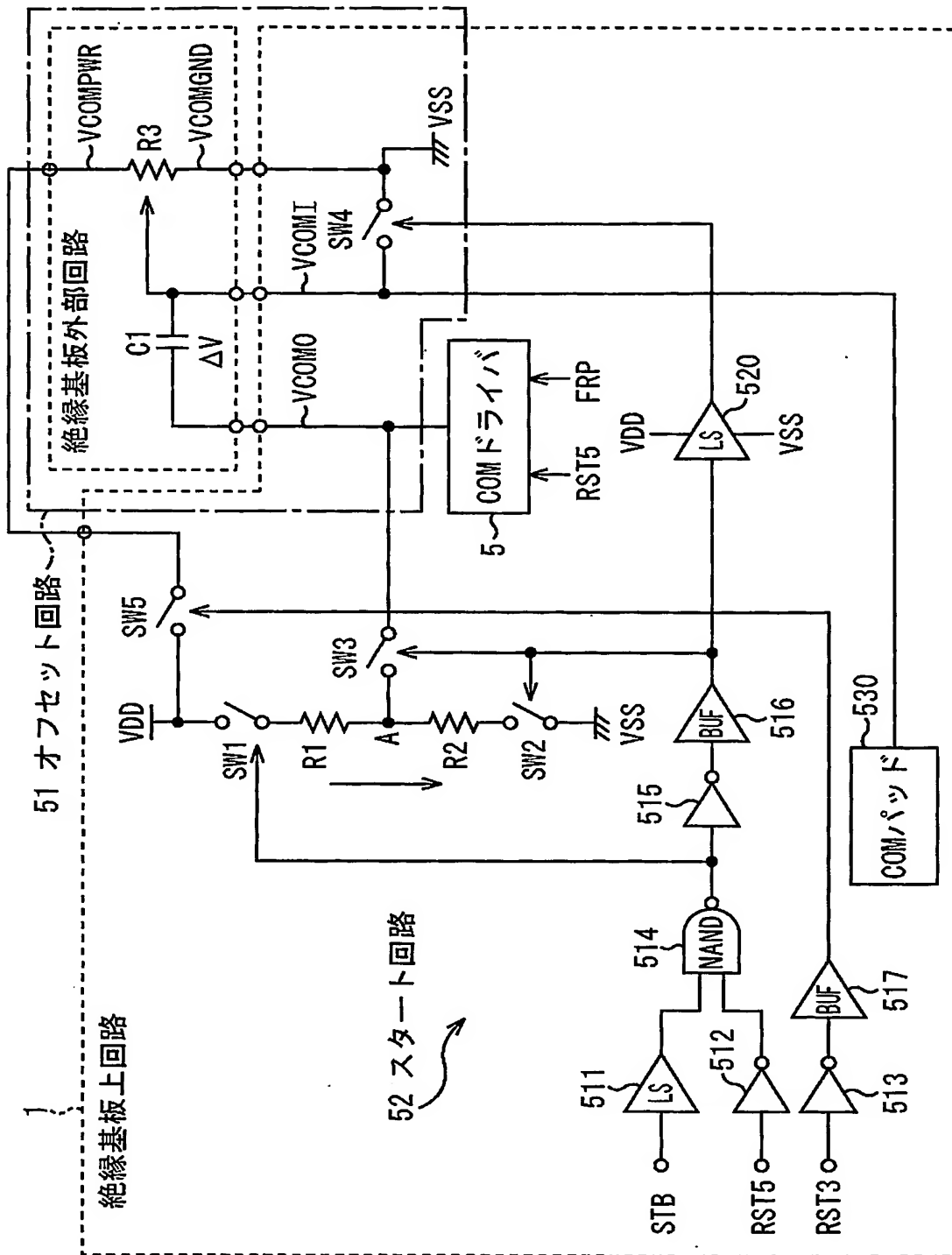


【図 11】

5 COMドライバ



【図 12】



【書類名】 要約書

【要約】

【課題】 待機モード下で表示装置の節電効果を改善する。

【解決手段】 表示装置 0 は、通常消費電力状態と低消費電力状態の切り替えが可能な電子機器のディスプレイ部品として用いられ、表示領域 2 とこれを駆動する周辺の回路部とを絶縁基板 1 上に一体的に集積形成したパネルからなる。回路部は、電子機器本体側の通常消費電力状態と低消費電力状態の切り替えに応じて動作モードと待機モードに切り替え可能である。動作モード時、電子機器の本体側から電源電圧の供給を受けて動作し、表示領域 2 を駆動してディスプレイを行う。待機モード時、電子機器の本体側から電源電圧の供給を受けている状態のまま、表示領域 2 の駆動を停止するとともに、回路部を不活性化して電力消費を抑制する待機制御手段を備えている。待機制御手段は、不活性化の過程で少なくとも回路部に含まれる抵抗素子に流れる直流成分を遮断する制御シーケンスを実行する。

【選択図】 図 1



特願 2 0 0 3 - 0 1 5 8 1 0

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 2 1 8 5 ]

1. 変更年月日	1 9 9 0 年 8 月 3 0 日
[変更理由]	新規登録
住 所	東京都品川区北品川 6 丁目 7 番 3 5 号
氏 名	ソニー株式会社